

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-066098

(43)Date of publication of application : 10.03.1995

10/053689
#2

(51)Int.Cl.

H01L 21/027

(21)Application number : 05-229413

(71)Applicant : HITACHI LTD
HITACHI COMPUT ENG CORP LTD

(22)Date of filing : 23.08.1993

(72)Inventor : SUZUKI TOSHIO
TSUKIZOE AKIRA
KATO HIROSHI
SHIMADA YUTAKA

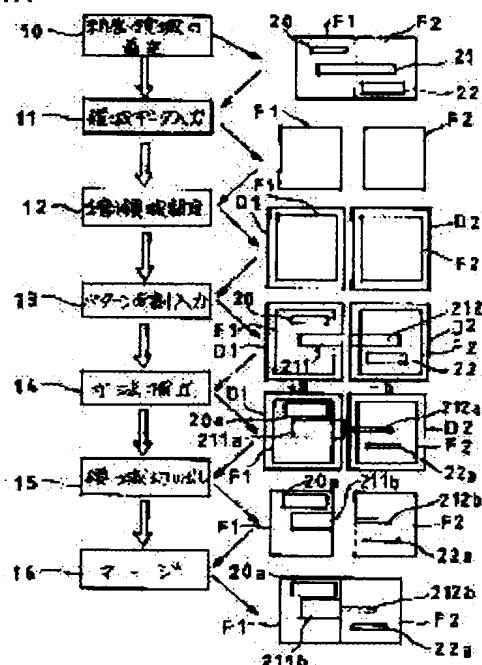
(54) METHOD AND APPARATUS FOR FORMING LITHOGRAPHIC DATA

(57)Abstract:

PURPOSE: To accurately perform a designing size by correcting sizes of different quantities according to regions having different pattern densities by considering a shifting amount of a pattern size in various wafer process, and combining the corrected pattern to obtain lithographic data.

CONSTITUTION: A process 10 for deciding roughness and denseness of a circuit pattern and forming regions having relatively high and low densities is conducted. Then, a process 11 for fetching region data is executed, and further a process 12 for setting divided regions increased in the regions input by the process 11 is carried out.

Thereafter, a process 13 for inputting designing pattern data included in the divided regions set by the process 12 is conducted. A process 14 for correcting the size according to a size correction amount designated at each divided region is executed. Further, a process 15 for removing an extended part from the formed region and dislodging the corrected pattern in the formed region to the process 12 is carried out, and further a process 16 for combining data of the dislodged pattern to one is conducted.



LEGAL STATUS

[Date of request for examination]

09.08.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-66098

(43)公開日 平成7年(1995)3月10日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/027

8831-4M

H 0 1 L 21/ 30

5 4 1 J

審査請求 未請求 請求項の数9 F D (全 15 頁)

(21)出願番号 特願平5-229413

(22)出願日 平成5年(1993)8月23日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233011

日立コンピュータエンジニアリング株式会
社

神奈川県秦野市堀山下1番地

(72)発明者 鈴木 俊夫

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(74)代理人 弁理士 玉村 静世

最終頁に続く

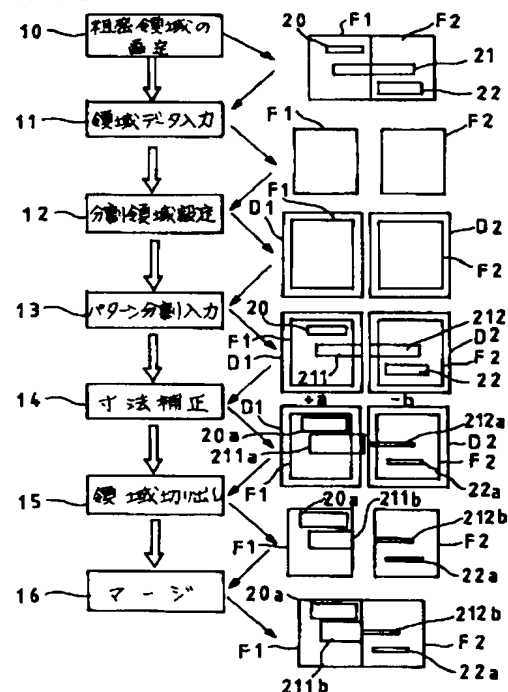
(54)【発明の名称】 描画データ作成方法、及び描画データ作成装置

(57)【要約】

【目的】 回路の設計パターンデータから描画用のマスクパターンデータを作成するにあたり、パターン密度が相違される全ての領域に対し出来上りパターンに対して設計寸法を高精度に達成する。

【構成】 パターン描画時の電子線の散乱、フォトマスクを介する露光光の反射及び干渉、光増速ガスエッチングにおける光の反射や干渉による反応速度の不均一、及びイオンエッチングにおけるイオン反射によるイオン衝撃の不均一などの各種ウェハプロセスでのパターン寸法のシフト量を考慮して、密度が高い領域にはそのパターン密度を相対的に低くし、密度が低い領域にはそのパターン密度を相対的に高くするパターン寸法補正(寸法補正14)を行って描画データを作成する。

【図 1】



【特許請求の範囲】

【請求項 1】 回路の設計パターンデータから描画装置のための描画データを作成する描画データ作成方法であって、

上記設計パターンデータから把握される回路パターンの密度が相対的に高い領域と低い領域とを画定するための領域情報を取得するステップと、

上記密度が相対的に高い領域として画定された領域のパターンにはそのパターンの密度を相対的に低くするパターン寸法補正を行い、上記密度が相対的に低い領域として画定された領域のパターンにはそのパターンの密度を相対的に高くするパターン寸法補正を行うステップと、上記密度が相対的に高い領域として画定された領域と密度が相対的に低い領域として画定された領域とを合わせた領域に含まれる上記パターン寸法補正されたパターンを合成するステップと、

を含むことを特徴とする描画データ作成方法。

【請求項 2】 上記パターンの密度が相対的に高い領域と低い領域とを画定するための領域情報は、それに含まれるパターンを指定する情報の集合であることを特徴とする請求項 1 記載の描画データ作成方法。

【請求項 3】 回路の設計パターンデータから描画装置のための描画データを作成する描画データ作成方法であって、

上記設計パターンデータから把握される回路パターンの密度が相対的に高い領域と低い領域とを画定するための領域情報を取得するステップと、

上記領域情報にて画定された夫々の領域を拡大するステップと、

上記密度が相対的に高い領域として画定された領域の拡大領域に含まれるパターンには、そのパターンの密度を相対的に低くするパターン寸法補正を行い、上記密度が相対的に低い領域として画定された領域の拡大領域に含まれるパターンには、そのパターンの密度を相対的に高くするパターン寸法補正を行うステップと、

上記密度が相対的に高い領域として画定された領域と密度が相対的に低い領域として画定された領域とを合わせた領域に含まれる上記パターン寸法補正されたパターンを合成するステップと、

を含むことを特徴とする描画データ作成方法。

【請求項 4】 上記パターンの寸法補正は、パターンの X 方向と Y 方向とで相違させることを特徴とする請求項 1 乃至 3 の何れか 1 項記載の描画データ作成方法。

【請求項 5】 回路の設計パターンデータから電子線描画装置のための描画データを作成する描画データ作成方法であって、

上記設計パターンデータから把握される回路パターンの密度が相対的に高い領域と低い領域とを画定するための領域情報を取得するステップと、

上記画定領域毎に設計パターンデータを読込むステップ

と、

上記密度が相対的に高い領域として画定された領域に対応して読込んだ設計パターンデータのパターンには相対的に電子線照射量の少ない電子線照射コードデータを設定し、上記密度が相対的に低い領域として画定された領域に対応して読込んだ設計パターンデータのパターンには相対的に電子線照射量の多い電子線照射コードデータを設定するステップと、

上記密度が相対的に高い領域として画定された領域と密度が相対的に低い領域として画定された領域とを合わせた領域に含まれるパターンをそれに設定された電子線照射コードと対応付けて合成するステップと、
10 を含むことを特徴とする描画データ作成方法。

【請求項 6】 半導体集積回路の設計パターンデータから描画装置のための描画データを作成する描画データ作成装置であって、

上記設計パターンデータから把握される回路パターンの密度が相対的に高い領域と低い領域とを画定するための領域情報を入力する入力手段と、

20 上記密度が相対的に高い領域として画定された領域のパターンにはそのパターンの密度を相対的に低くするパターン寸法補正を行い、上記密度が相対的に低い領域として画定された領域のパターンにはそのパターンの密度を相対的に高くするパターン寸法補正を行って、補正されたパターンデータを夫々の画定領域毎に作成する補正手段と、

上記密度が相対的に高い領域として画定された領域と密度が相対的に低い領域として画定された領域とを合わせた領域につき、夫々に含まれる上記パターン寸法補正されたパターンデータを合成して得られるパターンのデータを作成する合成手段と、
30 を含んで成るものであることを特徴とする描画データ作成装置。

【請求項 7】 半導体集積回路の設計パターンデータから描画装置のための描画データを作成する描画データ作成装置であって、

上記設計パターンデータから把握される回路パターンの密度が相対的に高い領域と低い領域とを画定するための領域情報を入力する入力手段と、

40 上記領域情報にて画定された夫々の領域を拡大する領域拡大手段と、

上記密度が相対的に高い領域として画定された領域の拡大領域に含まれるパターンにはそのパターンの密度を相対的に低くするパターン寸法補正を行い、上記密度が相対的に低い領域として画定された領域の拡大領域に含まれるパターンにはそのパターンの密度を相対的に高くするパターン寸法補正を行って、補正パターンデータを画定領域毎に作成する補正手段と、

50 上記密度が相対的に高い領域として画定された領域と密度が相対的に低い領域として画定された領域とを合わせ

3

た領域につき、夫々に含まれる上記パターン寸法補正されたパターンデータを合成して得られるパターンのデータを作成する合成手段と、
を含んで成るものであることを特徴とする描画データ作成装置。

【請求項8】 上記入力手段に代えて、上記設計パターンデータによって把握される回路パターンの粗密を判定し、密度が相対的に高い領域と低い領域とを画定するための領域情報を生成する領域画定手段を備えて成るものであることを特徴とする請求項6又は7記載の描画データ作成装置。

【請求項9】 領域の画定をパターンの粗密だけでなく、任意に領域を指定することによって、請求項1乃至3の描画データ作成を行い、所望のパターンデータを生成する描画データ作成装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、本発明は半導体集積回路等の回路設計パターンデータから電子線描画装置の電子線描画データ等の描画データを作成する方法、及びその方法が適用された装置に関し、例えば、サブミクロン大規模半導体集積回路装置のマスクパターンデータ若しくはウェーハに直接パターンを描画するためのデータの作成に適用して有効な技術に関する。

【0002】

【従来の技術】半導体集積回路（LSI）の大規模化及び微細化に伴い、電子線描画装置などを利用してフォトマスクとされる石英板又は半導体ウェーハ（以下単にマスク又はウェーハと略す）上に形成されたフォトレジスト（以下単にレジストとも言う）にパターンを描画する技術が採用されている。論理設計、回路設計及びレイアウト設計によって作成されたLSIの設計パターンデータを用いて所要のパターンを電子線描画装置でマスク又はウェーハ上のフォトレジストに描画する際、設計パターンデータが電子線描画装置用の描画データに変換される。このような変換においては、設計パターンの補正及び描画時における電子線の散乱による近接効果の補正などを行って、そのデータ形式を電子線描画装置による描画手法に合わせることが行われていた。

【0003】本発明者等の認識によれば、描画パターンの寸法補正はチップ全体に対して一定量の寸法補正值によって行っていた。また、近接効果補正について記載された文献の例としては、昭和59年11月30日に株式会社オーム社発行の「LSIハンドブック」第262及び263頁がある。これによれば、収束電子ビームがレジストに照射されると、レジスト内の高分子が架橋反応（ポジ型）を起し或は高分子が切断される（ネガ型）ことになる。ところが、電子線の散乱によってその照射位置の周辺も僅かに上記反応が起るので、電子線の照射パターンが近接している場合に設計寸法に対して実際に

4

形成されたパターンの寸法との寸法精度が低下しまう。そのため、電子ビーム照射量を調整することによって近接効果を補正することができるとされている。

【0004】

【発明が解決しようとする課題】しかしながら、LSIの大規模化並びに超微細化に伴って、各種ウェーハプロセスでのパターン寸法のシフト量（変化量）が、特定領域や特定の方向によってばらつき、従来のような一定値の寸法補正処理や隣接パターン毎の近接効果補正では充分に対応できず、歩留低下につながるものが本発明者によって明らかにされた。すなわち、本発明者等は、設計パターンの粗密がチップ全体で一定でないことに着目した上で、各種ウェーハプロセスとして、パターン描画時の電子線の散乱だけでなく、フォトマスクを介する露光においては露光光が下地基板や隣接する下地パターンから反射したりレジスト内で干渉したりする現象、更にはガスエッチングの反応速度を上げる光増速ガスエッチングにおける光の反射や干渉による反応速度の不均一、そして、イオンエッチングにおけるイオン反射によるイオン衝撃の不均一なども考慮すると、相対的にパターン密度の高い領域と低い領域との間では設計寸法に対する出来上りパターンの寸法の変化量が大きく相違されることを見出した。

【0005】例えばメモリLSIのメモリマット部と周辺部では、パターン密度が異なるため、ウェーハ上のレジストに形成される電子線描画パターンは、メモリマット部では設計寸法より相対的に太くなり、周辺部では設計寸法より相対的に細くなることが明らかにされた。すなわち、パターン密度が相対的に高い部分では、他のパターンのために照射された電子線の散乱の影響を相対的に強く受けるためである。パターンの粗密によるこのような相違（寸法シフト）は、ウェーハ直接描画におけるエッチングの工程で増長され、また、電子線描画されたフォトマスクを利用した露光工程及びエッチング工程で助長される。即ち、フォトマスクを介する露光光が下地基板や隣接する下地パターンから反射したりレジスト内で干渉したりする現象、ガスエッチングの反応速度を上げる光増速ガスエッチングにおける光の反射や干渉による反応速度の不均一、及びイオンエッチングにおけるイオン反射によるイオン衝撃の不均一などに対しても、パターン密度が相対的に高い部分では露光やエッチングの促進により、それによって形成すべきパターンが相対的に太くされる。一連のウェーハプロセスでポジ型レジストを利用する場合には、LSIの最終的な出来上りパターンはパターン密度が高い領域ほど設計値に対して太くなる傾向を採り、ネガ型レジストを利用する場合には、LSIの最終的な出来上りパターンはパターン密度が低い領域ほど設計値に対して太くなる傾向を採る。また、エッチングガスの流れの方向性によってはX方向とY方向でパターン寸法のシフト量が異なってくる。以上のような

5

に、一定補正值による寸法補正処理や近接効果補正だけでは、メモリマット部と周辺部というようなパターン密度が相違される双方の領域でLSIの出来上りパターンに対して設計寸法を高精度に達成することは難しかった。

【0006】本発明の目的は、回路の設計パターンデータから電子線描画装置等で描画するためのマスクパターンデータのような描画データを作成するにあたり、回路のパターン密度が相違される全ての領域に対し回路の出来上りパターンに対して設計寸法を高精度に達成可能にする描画データ作成方法を提供することにある。また、本発明の別の目的は、上記描画データ作成方法を使用する描画データ作成装置を提供することである。

【0007】本発明の上記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0009】すなわち、半導体集積回路装置(LSI)などの回路の設計パターンデータに基づいて所要の回路パターンを電子線描画装置等で描画するためのマスクパターンデータのような描画データを作成するにあたり、パターン描画時の電子線の散乱、フォトマスクを介する露光光の下地基板や隣接する下地パターンからの反射及びレジスト内での干渉、ガスエッチングの反応速度を上げる光増速ガスエッチングにおける光の反射や干渉による反応速度の不均一、及びイオンエッチングにおけるイオン反射によるイオン衝撃の不均一などの各種ウェハプロセスでのパターン寸法のシフト量を考慮して、パターン密度の相違される領域別に異なる量の寸法補正を行い、補正後のパターンを合成して描画データを得るものである。描画パターンの寸法を予め補正する上記寸法補正の手法は、密度が相対的に高い領域のパターンにはそのパターンの密度を相対的に低くするパターン寸法補正を行い、密度が相対的に低い領域のパターンにはそのパターンの密度を相対的に高くするパターン寸法補正を行うというものである。上記パターン密度の相違される領域、すなわち設計パターンデータから把握される回路パターンの密度が相対的に高い領域と低い領域と、を画定するための領域情報は、領域の枠を規定する情報、又は、それに含まれるパターンを指定する情報の集合とすることができる。領域情報が枠を規定する情報であるとき、寸法補正後の領域境界部でのパターンの重なりや隙間を比較的簡単な手法によって発生させないようにするには、夫々の領域を拡大し、拡大した領域に含まれるパターンを各領域別に指定された量の補正值を以って寸法補正を行い、各拡大領域からはみ出したパターンを取り除き、換言すれば上記領域情報で規定される領域内の補

6

正パターンを、一つに合成する。また、ウェハプロセスにおける不所望な寸法シフト量に方向性がある場合を考慮すると、各パターンの辺毎にX軸に平行かY軸に平行かまたは斜め辺かを判定し、各辺を指定された寸法補正量に応じて平行移動させ、辺同士の接続処理を行うことによって寸法補正を行えばよい。上記手法は描画パターンの寸法を予め補正する手法であるが、特に電子線描画に際しての電子線照射量に着目する場合には、密度が相対的に高い領域として画定された領域のパターンには相対的に電子線照射量の少ない電子線照射コードデータを与え、上記密度が相対的に低い領域として画定された領域のパターンには相対的に電子線照射量の多い電子線照射コードデータを与えるようにする。上記描画データ作成方法を利用する描画データ作成装置は、設計パターンデータから把握される回路パターンの密度が相対的に高い領域と低い領域とを画定するための領域情報を入力する入力手段と、上記密度が相対的に高い領域として画定された領域のパターンにはそのパターンの密度を相対的に低くするパターン寸法補正を行い、上記密度が相対的に低い領域として画定された領域のパターンにはそのパターンの密度を相対的に高くするパターン寸法補正を行って、補正されたパターンデータを夫々の画定領域毎に作成する補正手段と、上記密度が相対的に高い領域として画定された領域と密度が相対的に低い領域として画定された領域とを合体させた領域につき、夫々に含まれる上記パターン寸法補正されたパターンデータを合成して得られるパターンのデータを作成する合成手段と、によって構成される。また、上記入力手段と、上記領域情報にて画定された夫々の領域を拡大する領域拡大手段と、上記密度が相対的に高い領域として画定された領域の拡大領域に含まれるパターンにはそのパターンの密度を相対的に低くするパターン寸法補正を行い、上記密度が相対的に低い領域として画定された領域の拡大領域に含まれるパターンにはそのパターンの密度を相対的に高くするパターン寸法補正を行って、補正パターンデータを画定領域毎に作成する補正手段と、上記密度が相対的に高い領域として画定された領域と密度が相対的に低い領域として画定された領域とを合体させた領域につき、夫々に含まれる上記パターン寸法補正されたパターンデータを合成して得られるパターンのデータを作成する合成手段と、によって構成される。上記描画データ作成装置においては上記入力手段に代えて、上記設計パターンデータによって把握される回路パターンの粗密を判定し、密度が相対的に高い領域と低い領域とを画定するための領域情報を生成する領域画定手段を採用することができる。

【0010】

【作用】上記した手段によれば、描画パターンの寸法を予め補正する寸法補正の手法として、密度が相対的に高い領域のパターンにはそのパターンの密度を相対的に低

7

くするパターン寸法補正を行い、密度が相対的に低い領域のパターンにはそのパターンの密度を相対的に高くするパターン寸法補正を行うことは、電子線の散乱並びに露光及びエッチングの不均一に起因して、形成すべきパターン密度が高い領域ほどパターンが太くされ、また、パターン密度が低い領域程パターンが細くされる傾向を予め相殺する様に作用し、この事が、回路のパターン密度が相違される全ての領域に対して回路の出来上りパターンに設計寸法を高精度に達成可能にする。

【0011】

【実施例】図7には電子線描画装置を用いてマスクパターンを生成する全体的なシステム構成が示される。先ず、同図を参照しながら半導体集積回路(LSI)の開発製造過程における本発明の位置付けを説明する。

【0012】半導体集積回路の開発は、その仕様が決定された後に論理設計や回路設計などが行われ、それに基づいてレイアウト設計が行われる。これによって半導体集積回路の設計パターンデータ1が取得される。これに基づいて半導体集積回路を製造するときは、同データ1を電子線描画データ作成装置2に与えて、電子線描画データ3を作成する。この電子線描画データ3は電子線描画装置4に与えられ、これによって石英のようなフォトマスク基板5又はシリコンのような半導体ウェーハ6上に形成されたフォトリソにマスクパターンが描画される。ウェーハ6のマスクパターンに対してはエッチングなどが施され、上記電子線描画及びエッチングなどが必要に応じて繰返されることによってウェーハ6上に半導体集積回路装置とされるチップ7が形成される。マスク5のマスクパターンに対してはエッチングなどが施されてフォトリソ5が完成され、そのマスク5を利用してウェーハに対する露光やエッチングの工程が繰返されることによってウェーハにチップが形成される。本発明に係る描画データ作成方法及び装置はその電子線描画データ作成装置2に反映される。

【0013】電子線描画装置2は、電子光学系の構造を有し、描画においては、偏向器(電磁偏向器、静電偏向器)などによって電子ビームが偏向され、ステージに載置されたウェーハ又はマスクにパターンを描く。このような電子線描画装置においては、偏向器などによる電子ビームの偏向だけでは、ウェーハ又はマスク(3~6インチ大)へ露光することは不可能である。そのため、ステージを順次に移動させ、ステージを停止させている期間に、電子ビームで所望のパターンが描画される様にされている。このステージ移動の単位がフィールドとされる。したがってフィールドは、電子線描画装置の偏向器によるビーム偏向で描画できる範囲とされる。ウェーハ又はマスクには複数のチップのパターンが描画され、チップはフィールドの領域で分割されている。電子線描画データの構造は、その先頭に例えばLSIの型番や層名(LSIにおける当該データが対象とする例えば第1ア

8

ルミニウム配線層などの層の名称)などの表題が記述され、その下にフィールド番地表と、夫々のフィールド番地表に対応されるサブフィールド番地表と描画パターンデータ及び各描画パターンに対応される電子線照射コードデータが対応されている。フィールド番地表は個々のフィールドに対応されて設けられ、フィールド番号、チップ中心座標からのフィールドのセンタ座標、サブフィールド番地表などを参照するための参照情報などを含んでいる。サブフィールド番地表は個々のフィールドに対応されるサブフィールドの番地とそれに対応されるパターンデータの参照情報が含まれる。電子線描画においては、表題の直下に記述されたフィールド番地表のデータから順番に参照されてパターンの描画が行われる。

【0014】図1には本発明に係る描画データ作成方法の一実施例方法の手順が示される。同図に示される手順は、各種ウェーハプロセスを考慮して描画パターンの寸法を予め補正する処理を実現するためのものであり、粗密領域の画定処理10、領域データ入力処理11、分割領域設定処理12、パターン分割処理13、寸法補正処理14、領域切出し処理15、及びマージ処理16から成る。

【0015】〔粗密領域の画定処理10〕この処理は、半導体集積回路の設計パターンデータによって把握される回路パターンの粗密を判定し、密度が相対的に高い領域と低い領域とを画定するための領域情報を生成する処理である。同図において20~22は設計パターンデータから把握される代表的に示された回路パターンであり、枠で囲まれた領域F1(画定領域F1)は回路パターンの密度が相対的に低いと判定された領域であり、枠で囲まれた領域F2(画定領域F2)は回路パターンの密度が相対的に高いと判定された領域である。この実施例において上記領域データは、画定領域F1、F2の枠を指定する座標情報によって構成される。回路パターンの粗密判定は設計パターンデータに基づくパターン認識の手法によって行うことができ、特に限定されないが、機能ブロック単位で判定し、或は、チップを多数の単位矩形に分割した領域毎に判定することができる。判定の結果、同一若しくは実質的に同一密度の領域を合わせて領域データを形成する。これに併せて、画定された領域毎に寸法補正值が割当てられる。パターン密度と寸法補正值との関係については後述する。

【0016】〔領域データ入力処理11〕この処理は、上記領域データを取込む処理である。上記粗密領域の画定処理10はパターン設計の一環として行うこともでき、その場合当該領域データは設計パターンデータに付随して登録された領域画定用の枠のパターンデータとすることができる。

【0017】〔分割領域設定処理12〕分割領域設定処理12は、上記領域データで画定される領域境界部分でのパターンの重なりや隙間を発生させないために、領域

10

20

30

40

50

データ入力処理 11 で入力した各領域を拡大した、分割領域（拡大領域）を設定する処理である。拡大率は寸法補正量に応じて可変とされ、例えば、拡大する量 = |各領域別寸法補正量の最大値| $\times \sqrt{2}$ 等の式により求められる。図 1 において D1 は画定領域 F1 を拡大した分割領域であり、D2 は画定領域 F2 を拡大した分割領域である。

【0018】〔パターン分割入力処理 13〕パターン分割入力処理は、分割領域設定処理 12 で設定された分割領域ごとに、それに含まれる設計パターンデータを入力する処理である。図 1 においてパターン 21 に対応される設計パターンデータは、パターン 211 と 212 に分割されて分割領域 D1 と D2 に対応される。

【0019】〔寸法補正処理 14〕この処理は、分割領域ごとに指定された寸法補正量にしたがって、寸法補正を行う処理である。ここでパターン密度と補正量との関係について説明する。即ち、密度が相対的に高い分割領域のパターンにはそのパターンの密度を相対的に低くするパターン寸法補正量を設定し、密度が相対的に低い分割領域のパターンにはそのパターンの密度を相対的に高くするパターン寸法補正量を設定する。更に、設定すべき補正量は、パターン描画時の電子線の散乱、フォトマスクを介する露光光の下地基板や隣接する下地パターンからの反射及びレジスト内での干渉、ガスエッチングの反応速度を上げる光増速ガスエッチングにおける光の反射や干渉による反応速度の不均一、及びイオンエッチングにおけるイオン反射によるイオン衝撃の不均一などの各種ウェハプロセスでのパターン寸法のシフト量を考慮して決定される。実際には、採用すべきウェハプロセスに応じて予め定量的な指標を決定しておき、それに従って、実際のパターン密度に最適な補正量が割振られることになる。補正量は X 方向及び Y 方向の 2 次元の補正量を意味する。上記により、本実施例において相対的にパターン密度の低い分割領域 D1 の補正量は +a とされ、相対的にパターン密度の高い分割領域 D2 の補正量は -b とされる。したがって、補正量 +a によってパタ

斜め辺の寸法補正量； +c =

($k = \Delta y / \Delta x$: 傾き)

尚、上記斜め辺の寸法補正量 +c は、長軸が +a で短軸が +b の楕円の中心を図 2 に示されるように斜め辺に置いたときに、当該斜め辺に平行な当該楕円の接線までの法線方向の距離とされる。

【0024】〔辺の移動処理 31〕辺の移動処理は、各辺の寸法補正量設定処理 30 で設定された寸法補正量に応じて各辺を平行移動させる処理であり、同図の 41 で示される状態にされる。

【0025】〔辺の接続処理 32〕辺の接続処理 32 は、辺の移動処理 31 の結果、隣接する辺同士が交点を

ーン寸法が補正された分割領域 D1 のパターンは X、Y 方向に拡大されたパターン 20a、211a とされ、換言すれば当該分割領域 D1 のパターン密度は高くなるように修正される。一方、補正量 -b によってパターン寸法が補正された分割領域 D2 のパターンは X、Y 方向に縮小されたパターン 22a、212a とされ、換言すれば当該分割領域 D2 のパターン密度は低くなるように修正される。

【0020】〔領域切出し処理 15〕領域切出し処理 15 は、夫々の分割領域毎にそれに含まれる補正されたパターンに対して画定領域からはみ出した部分を除去し、夫々に画定領域内部の補正されたパターンを切出す処理である。画定領域 F1 において切出されたパターンは 20a、211b とされ、画定領域 F2 において切出されたパターンは 22a、212b とされる。

【0021】〔マージ処理 16〕この処理は上記領域切出し処理で切出されたパターンのデータを合成して一つにまとめる処理である。以上のようにして描画パターンの寸法を予め補正したパターンデータは、それに加えて近接効果補正などの所要の処理が行われると共に、電子線描画装置に適合する描画データフォーマットに変換されて、描画データとされる。

【0022】図 2 には寸法補正処理において方向別の寸法補正処理を実現するための処理手順の一例が示される。この補正処理は、各辺の寸法補正量設定処理 30、辺の移動処理 31、及び辺の接続処理 32 によって実現される。

【0023】〔各辺の寸法補正量設定処理 30〕この処理は、各パターンの辺毎に X 軸に平行か、X 軸に直交する Y 軸に平行か、または斜め辺かを判定する。各辺の寸法補正量は X 方向の寸法補正量を x、Y 方向の寸法補正量を y とすると、図 2 に示されるパターン 40 に対しては以下の通りに設定する。

X 軸に平行な辺の寸法補正量； +a = y

Y 軸に平行な辺の寸法補正量； +b = x

$(k^2 + y^2 / x^2) \cdot x$

$\sqrt{\{(k^2 + 1) \cdot (k^2 + y^2 / x^2)\}}$

40 持たない場合に、互いに辺を延長し接続させる処理である。交点を持つ場合に当該交点を越えて伸びている部分は交点で切断削除する。図 2 の例では各方向の寸法補正量は正であるから、42 で示されるように拡大されたパターンが得られることになる。

【0026】次に、上記図 1 の寸法補正処理を適用して DRAM（ダイナミック・ランダム・アクセス・メモリ）のメモリマツト部と周辺部で寸法補正量を変える場合の寸法補正処理の一例が、図 3、図 4、及び図 5 を参照しながら説明される。

50 【0027】図 3 において 50 は DRAM の平面的なレ

アウトによって示されたDRAMのチップである。このDRAMはシリコンのような半導体基板上に形成され、メモリマツト部51と周辺部52に大別される。夫々のメモリマツト部51は、交差的に多数配置されたワード線とデータ線との交点部分にメモリセルが配置されて構成される。したがって、メモリマツト部51は相対的に回路パターン密度が高くされているとみなされる。一方、周辺部52には、メモリマツト部51に含まれるメモリセルをアドレッシングするためのアドレスデコード、アドレッシングされるメモリセルのビット線をコモンデータ線などに導通させるためのカラム選択回路、ビット線に読出される情報を増幅するセンスアンプアレイ、内部タイミング信号を生成するタイミングジェネレータなどが配置されている。したがって、周辺部52は、メモリマツト部と比較して相対的に回路パターン密度が低くされている。尚、データやアドレス信号などを外部とやりとりするためのバッファ回路やボンディングパッドはチップの周縁部に配置されているがその図示は省略してある。

【0028】このようなDRAMにおいて53で示される部分における所定の半導体領域の設計パターンは例えば54で示されるものとする。このパターン54に示されるようにメモリマツト部51のパターン密度は相対的に高くされ、周辺部52のパターン密度は相対的に低くされている。54で示される設計パターンに対して上記図1で説明した寸法補正処理を行わずに得られる電子線描画データを用いたときのウェーハ上のマスクパターンは55で示されるように、密度の高いメモリマツト部51では個々のパターンが設計寸法よりも大きくされ、密度の低い周辺部52では個々のパターンが設計寸法よりも小さくされる。これに対して上記寸法補正処理を行った場合には図5の56で示されるように設計パターンに対して高精度なパターンが得られる。

【0029】図4及び図5には設計パターン54に対して高精度なパターン56を得るための寸法補正処理の手順が示される。ここで説明する処理手順において、粗密領域は周辺部52とメモリマツト部51に画定され、それを画定する情報は設計パターンデータに基づいて生成される。双方の画定領域の寸法補正量はDRAMのウェーハプロセスに応じて決定され、例えばメモリマツト部が $-a$ 、周辺部はX方向に $+b$ ($>a$) でY方向に $+c$ ($<b$) とされる。

(1) 先ず、メモリマツトの画定領域F2と周辺部の画定領域F1を表す領域データ61を電子線描画装置2に入力する。この例の場合には、領域データ61は、LSIのレイアウト設計の過程で生成され、設計パターンデータ60とは別レイヤのデータとして予め用意されているものとする。

(2) 領域データ61によって特定されるパターンを拡大して、分割領域D2、D1の分割領域データ62を得

る。拡大する量は、寸法補正量が最も大きい b をもとに $b \times \sqrt{2}$ で求める。

(3) 分割領域データ62によって規定される分割領域D1、D2に含まれる設計パターンデータ60を入力し、分割後パターンデータ63を得る。

(4) メモリマツト部の分割後パターン63に対し $-a$ 、周辺部の分割後パターン63に対しX方向に $+b$ でY方向に $+c$ の寸法補正処理をそれぞれ行い、寸法補正後パターンデータ64を得る。

10 (5) 寸法補正後パターンデータ64から領域データ61によって規定される領域以外のパターンを取り除き、切り出し後パターンデータ65を得る。

(6) メモリマツト部51及び周辺部52の切り出し後パターンデータ65を1つにマージし、マージ後パターンデータ66を得る。マージ後パターンデータ66を電子線描画データに変換する。

(7) 上記(6)で作成された電子線描画データを用いることにより、ウェーハ上又はマスク上にマスクパターンが形成され、これに対して必要なエッチング、又は露光及びエッチングを施すことによって設計寸法に対して高精度なパターン56を含むLSIが形成される。このパターン56には、設計パターン54と同じ寸法が実現されている。

【0030】図6には上記描画データ作成方法を適用した電子線描画データ作成装置2の一例ブロック図が示される。同図に示される電子線描画データ作成装置2において、上記寸法補正処理などの描画データ作成処理手順を規定する動作プログラムはハードディスク装置などの補助記憶装置70に格納され、中央処理装置のようなマイクロプロセッサ71はその補助記憶装置70から例えば主メモリ72に転送したプログラムを実行して、上記寸法補正処理を行う。特に制限されないが、マイクロプロセッサ71はメモリ管理ユニット73を介して物理アドレスで各種メモリや入出力機器をアクセスする。また、処理能力若しくは処理速度向上のため、装置72はキャッシュメモリ74若しくはコプロセッサ75を供え、それらはスループットの高いシステムバス76に結合される。このシステムバス76にはマイクロプロセッサ71のワーク領域及び情報に一時記憶領域として利用される上記主メモリ72、高速I/O77、DMAC (ダイレクト・メモリ・アクセス・コントローラ) 78が結合される。その他の低速入出力機器は、システムバス76とは別のI/Oバス79に接続される。これは低速の入出力機器からのデータ情報転送がシステムバス76を比較的長期間占有する事態を防止するためである。例えば該I/Oバス79には、ローカルメモリ80、I/Oプロセッサ81、フロッピーディスク装置82に結合されるI/O83、上記ハードディスク装置のような補助記憶装置70に接続されるI/O84、通信端末85に接続されるI/O86、キーボード87に接続され

る I/O 88、及びディスプレイ装置に結合される I/O 90 が夫々接続されている。

【0031】図 6 の構成において上記寸法補正処理を行う手段は、基本的に上記マイクロプロセッサ 71 と寸法補正処理を行うための動作プログラムによって実現され、図 1 の手法に対応されるその機能実現手段は、上記設計パターンデータによって把握される回路パターンの粗密を判定し、密度が相対的に高い領域と低い領域とを画定するための領域情報を生成する領域画定手段と、上記領域情報にて画定された夫々の領域を拡大する領域拡大手段と、上記密度が相対的に高い領域として画定された領域の拡大領域に含まれるパターンにはそのパターンの密度を相対的に低くするパターン寸法補正を行い、上記密度が相対的に低い領域として画定された領域の拡大領域に含まれるパターンにはそのパターンの密度を相対的に高くするパターン寸法補正を行って、補正パターンデータを画定領域毎に作成する補正手段と、上記密度が相対的に高い領域として画定された領域と密度が相対的に低い領域として画定された領域とを合わせた領域につき、夫々に含まれる上記パターン寸法補正されたパターンデータを合成して得られるパターンのデータを作成する合成手段とによって構成される。また、図 4 及び図 5 で説明した手法に対応される機能実現手段は、上記領域画定手段に代えて、上記設計パターンデータから把握される回路パターンの密度が相対的に高い領域と低い領域とを画定するための領域情報を入力する入力手段を採用した点だけが相違される。

【0032】上記実施例によれば以下の作用効果を得る。

(1) 設計パターンデータに基づいて電子線描画データが作成される過程において上記寸法補正処理が行われ、これと共に従来から実施されている近接効果補正などの電子線描画データへの変換処理が行われる。このようにして形成された電子線描画データは電子線描画装置に与えられて電子線描画に供される。電子線描画は、ウェーハ上のレジストに対する描画、フォトリソに対する描画の二通りとされる。何れにおいてもその寸法補正処理は、密度が相対的に高い領域のパターンにはそのパターンの密度を相対的に低くするパターン寸法補正を行い、密度が相対的に低い領域のパターンにはそのパターンの密度を相対的に高くするようにパターン寸法補正を行う。したがって、当該寸法補正処理された描画パターンは、電子線の散乱並びに露光及びエッチングの不均一に起因して、形成すべきパターン密度が高い領域ほどパターンが太くなったり、また、パターン密度が低い領域程パターンが細くなるという傾向を予め相殺するパターンとされている。その結果、当該補正されたパターンが描画されると、電子線の散乱による影響は、その描画されたパターンを設計寸法に近づける様に作用する。マスクやウェーハに描画されたパターンのイオンエッチングや

光増速エッチングなどにおいても、パターンの粗密に応ずるエッチングの不均一は、エッチングされたパターンを設計寸法に近づけ、また、その様にして形成されたマスクを利用する露光においても露光光の不所望な反射や干渉による露光の不均一は、マスクによって露光されたパターンを設計寸法に近づける様に作用する。この結果、回路のパターン密度が相違されるチップ上の全ての領域に対する回路の出来上りパターンは設計寸法を高精度に反映する。

10 (2) 夫々の画定領域を拡大し、拡大した領域に含まれるパターンを各領域別に指定された量の補正值を以って寸法補正を行い、各拡大領域からはみ出したパターンを取り除いて一つに合成することにより、寸法補正処理後の画定領域境界部でのパターンの重なりや隙間を発生させることなく比較的簡単に寸法補正処理を行うことができる。

(3) 各パターンの辺毎に X 軸に平行か Y 軸に平行かまたは斜め辺かを判定し、各辺を指定された寸法補正量に応じて平行移動させ、辺同士の接続処理を行うことによって、エッチングガスの流れの方向性のようにより、ウェーハプロセスにおける不所望な寸法シフト量に方向性がある場合を考慮して上記寸法補正を行うことができる。

20 【0033】図 8 には本発明の他の実施例方法の処理手順が示される。上記実施例はウェーハプロセスでのパターン寸法のシフト量に応じて、領域別にパターンの寸法を変化させることによって寸法補正を行ったが、図 8 の手法は、電子線の照射量を変化させることにより、描画パターンの寸法を変化させることなく、出来上りパターンの寸法補正を行うものである。すなわち、その処理は、図 1 の粗密領域の画定処理 10 及び領域データ入力処理 11 に続けて、パターン分割入力処理 90、電子線照射コードの設定処理 91、及びマージ処理 92 を実行することで実現される。

【0034】〔パターン分割入力処理 90〕パターン分割入力処理は、上記領域データで画定された画定領域 F1、F 毎に、それに含まれる設計パターンデータを入力する処理である。図 8 においてパターン 21 に対応される設計パターンデータは、パターン 211 と 212 に分割されて夫々の画定領域 F1 と F2 に対応される。

40 【0035】〔電子線照射コードの設定処理 91〕この処理は、画定領域ごとに指定された電子線照射コードデータをパターンに設定する処理である。ここでパターン密度と電子線照射量との関係について説明する。密度が相対的に高い画定領域のパターンには相対的に電子線照射量の少ない電子線照射コードデータを設定し、密度が相対的に低い画定領域のパターンには相対的に電子線照射量の多い電子線照射コードデータを設定する。更に、その様にして設定すべき電子線照射量は、パターン描画時の電子線の散乱、フォトリソを介する露光光の下地基板や隣接する下地パターンからの反射及びレジスト内

での干渉、ガスエッチングの反応速度を上げる光増速ガスエッチングにおける光の反射や干渉による反応速度の不均一、及びイオンエッチングにおけるイオン反射によるイオン衝撃の不均一などの各種ウェハプロセスでのパターン寸法のシフト量を考慮して決定される。実際には、採用すべきウェハプロセスに応じて予め定量的な指標を決定しておき、それに従って、実際のパターン密度に最適な電子線照射量が割振られることになる。本実施例において相対的にパターン密度の高い画定領域F2の電子線照射コードデータはmとされ、相対的にパターン密度の低い画定領域F1の電子線照射コードデータはm+n(mで規定される電子線照射量よりも多い照射量を意味する)とされる。

【0036】〔マージ処理92〕この処理は 上記パターン密度が相対的に高い画定領域F2と密度が相対的に低い画定領域F1とを合わせた領域に含まれるパターンをそれに設定された電子線照射コードと対応付けて合成するものである。

【0037】斯る処理により、密度が相対的に高い領域のパターンにはそのパターンの密度を相対的に低くするような、換言すれば夫々のパターンを相対的に小さくするような電子線照射量が設定され、密度が相対的に低い領域のパターンにはそのパターンの密度を相対的に高くするような、換言すれば夫々のパターンを相対的に大きくするような電子線照射量を与えるものであるから、そのような電子線照射量の相違は、電子線の散乱並びに露光及びエッチングの不均一に起因して、形成すべきパターン密度が高い領域ほどパターンが太くされ、また、パターン密度が低い領域程パターンが細くされるという傾向を予め相殺するものとされる。その結果、電子線の散乱による影響は、その描画されたパターンを設計寸法に近づける様に作用する。マスクやウェハに描画されたパターンのイオンエッチングや光増速エッチングなどにおいても、パターンの粗密に応ずるエッチングの不均一は、エッチングされたパターンを設計寸法に近づけ、また、その様にして形成されたマスクを利用する露光においても露光光の不所望な反射や干渉による露光の不均一は、マスクによって露光されたパターンを設計寸法に近づける様に作用する。したがって、回路のパターン密度が相違されるチップ上の全ての領域に対して回路の出来上りパターンに設計寸法を高精度で実現できる。

【0038】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0039】例えば画定領域の境界部分で隙間や重なりが発生するのを防止する手法は、図1で説明した分割領域設定を介した処理に限定されない。例えば寸法補正処理前に画定領域によって分断されたパターンの寸法補正後パターンはマージ処理において接続させるという規則

を採用すればよい。また、電子線描画装置はイオン線を用いる描画装置に変更可能である。

【0040】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0041】(1) 密度が相対的に高い領域のパターンにはそのパターンの密度を相対的に低くするパターン寸法補正を行い、密度が相対的に低い領域のパターンにはそのパターンの密度を相対的に高くするようにパターン寸法補正を行うから、当該寸法補正処理された描画パターンは、電子線の散乱並びに露光及びエッチングの不均一に起因して、形成すべきパターン密度が高い領域ほどパターンが太くされ、また、パターン密度が低い領域程パターンが細くされるという傾向を予め相殺するパターンとされている。これにより、当該補正されたパターンが描画されると、電子線の散乱による影響は、その描画されたパターンを設計寸法に近づける様に作用する。マスクやウェハに描画されたパターンのイオンエッチングや光増速エッチングなどにおいてもパターンの粗密に応ずるエッチングの不均一は、エッチングされたパターンを設計寸法に近づけ、また、その様にして形成されたマスクを利用する露光においても露光光の不所望な反射や干渉による露光の不均一は、マスクによって露光されたパターンを設計寸法に近づける様に作用する。この結果、回路のパターン密度が相違されるチップ上の全ての領域に対して回路の出来上りパターンに設計寸法を高精度で実現できる。

(2) 夫々の画定領域を拡大し、拡大した領域に含まれるパターンを各領域別に指定された量の補正值を以って寸法補正を行い、各拡大領域からはみ出したパターンを取り除いて一つに合成することにより、寸法補正処理後の画定領域境界部でのパターンの重なりや隙間を発生させることなく比較的簡単に寸法補正処理を行うことができる。

(3) 各パターンの寸法補正量をパターンのX方向とY方向とで相違させることにより、エッチングガスの流れの方向性のように、ウェハプロセスにおける不所望な寸法シフト量に方向性がある場合を考慮して上記寸法補正を行うことができる。

(4) 上記により、設計パターンデータからマスクパターンデータを作成するにあたり、設計パターンデータを修正することなく、ウェハプロセスでのパターン寸法のシフト量に応じて、領域別及び方向別に異なる量の寸法補正が可能になり、半導体集積回路の歩留を向上させることができる。

(5) パターン密度が相対的に高い画定領域のパターンには相対的に電子線照射量の少ない電子線照射コードデータを設定し、パターン密度が相対的に低い画定領域のパターンには相対的に電子線照射量の多い電子線照射コ

17

ードデータを設定して描画データを作成することにより、上記同様に設計パターンの寸法を変化させることなく、出来上りパターンの寸法補正を行うことができる。したがって、回路のパターン密度が相違されるチップ上の全ての領域に対して回路の出来上りパターンに設計寸法を高精度で実現できる。特に電子線照射コードデータの割振りという簡単な処理によって実現できる。

【図面の簡単な説明】

【図 1】本発明に係る描画データ作成方法の一実施例の手順を示す説明図である。

【図 2】寸法補正処理において方向別の寸法補正処理を実現するための処理手順の一例を示す説明図である。

【図 3】メモリマット部と周辺部でパターン密度の相違される DRAM のチップ平面とその部分的なパターンを示す説明図である。

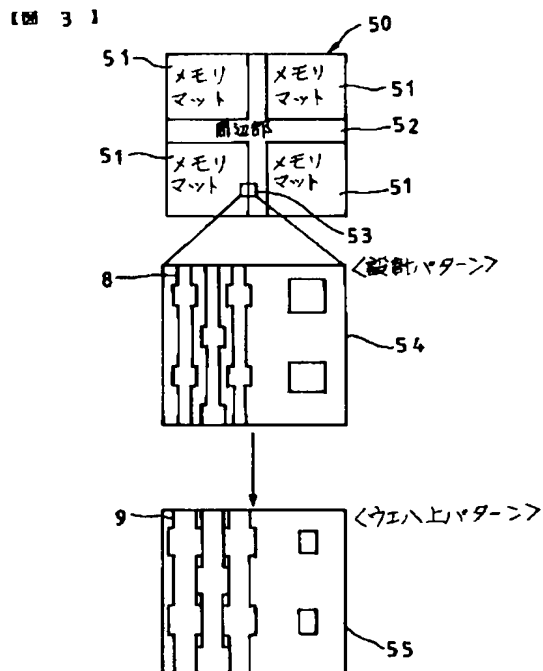
【図 4】図 3 に示される設計パターンに基づく寸法補正処理手順の前半を示す説明図である。

【図 5】図 3 に示される設計パターンに基づく寸法補正処理手順の後半を示す説明図である。

【図 6】図 1 の描画データ作成方法を適用した電子線描画データ作成装置の一例ブロック図である。

【図 7】電子線描画装置を用いてマスクパターンを生成する全体的なシステム構成図である。

【図 3】



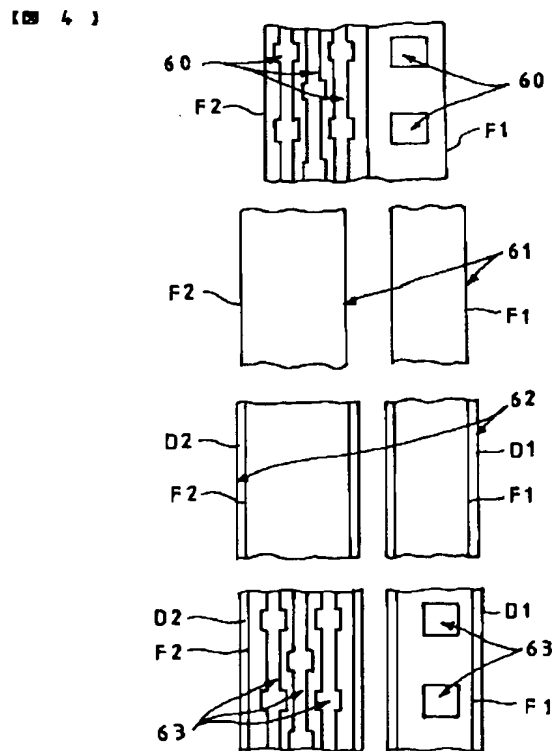
18

【図 8】パターン密度に応じて電子線照射量を変えてパターンの出来上り寸法を補正する別の実施例方法の一例処理手順を示す説明図である。

【符号の説明】

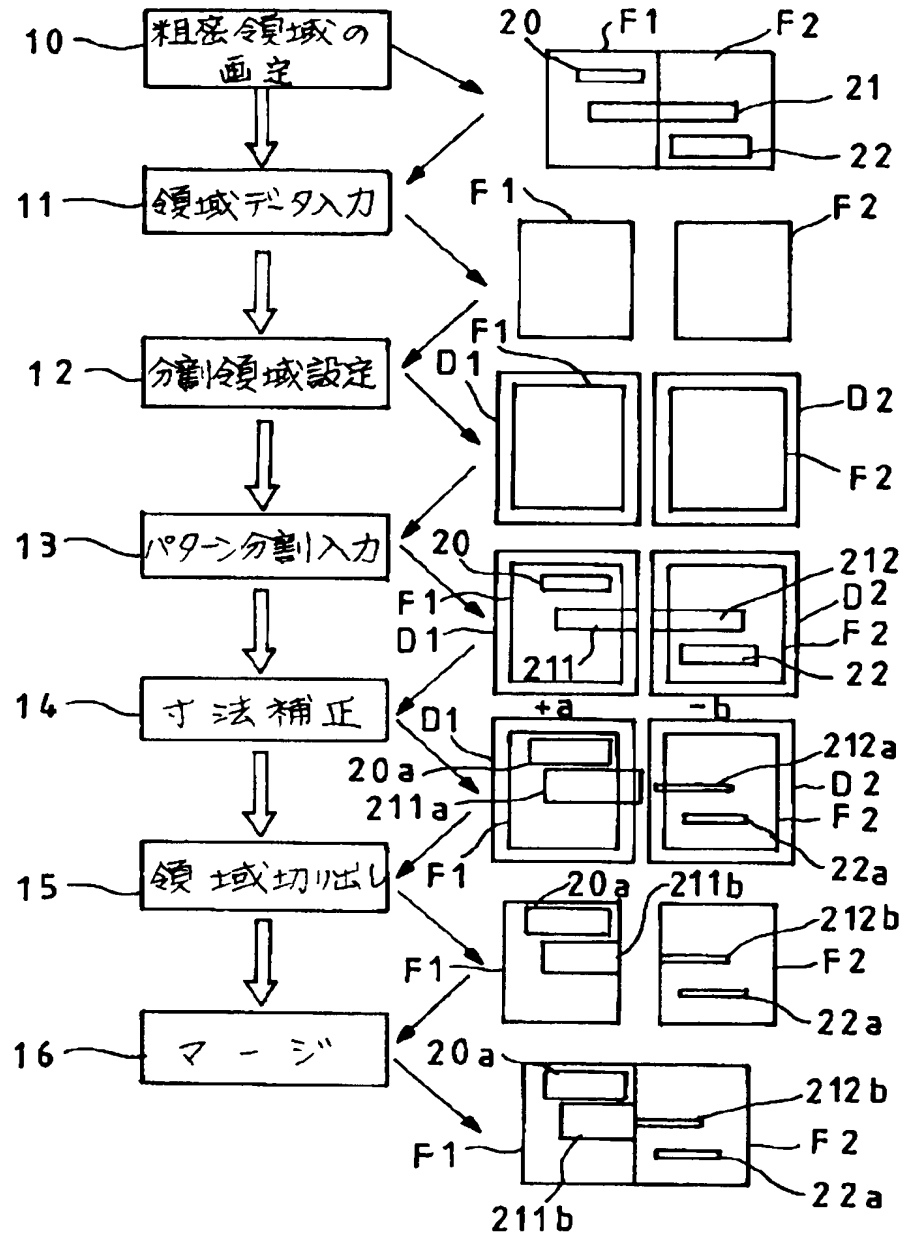
- 1 設計パターンデータ
- 2 電子線描画データ作成装置
- 3 電子線描画データ
- 4 電子線描画装置
- 5 マスク
- 10 ウェハ
- F 1 相対的にパターン密度の低い画定領域
- F 2 相対的にパターン密度の高い画定領域
- D 1 F 1 に対応される分割領域
- D 2 F 2 に対応される分割領域
- 6 0 設計パターンデータ
- 6 1 画定領域を示す領域データ
- 6 2 分割領域を示す分割領域データ
- 6 3 分割後パターンデータ
- 6 4 寸法補正後パターンデータ
- 6 5 切出し後パターンデータ
- 6 6 マージ後パターンデータ
- 7 1 マイクロプロセッサ
- 7 2 主メモリ

【図 4】



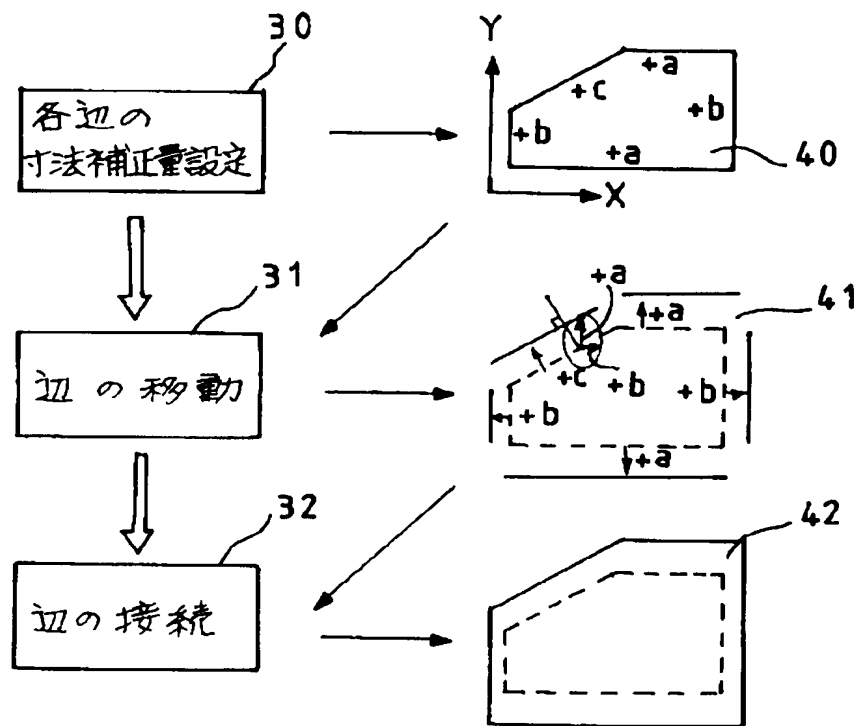
【図1】

【図 1】



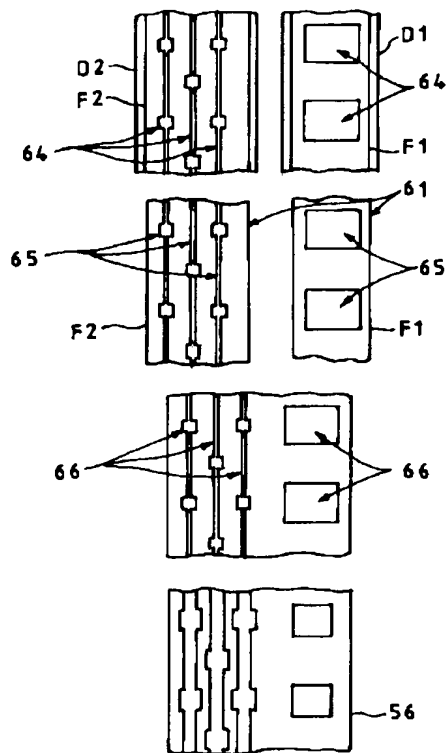
【図 2】

【図 2】



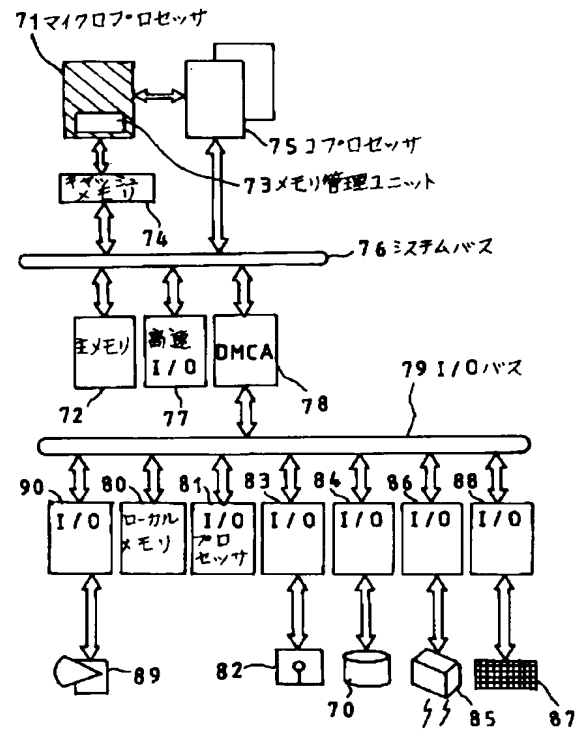
【図 5】

【図 5】



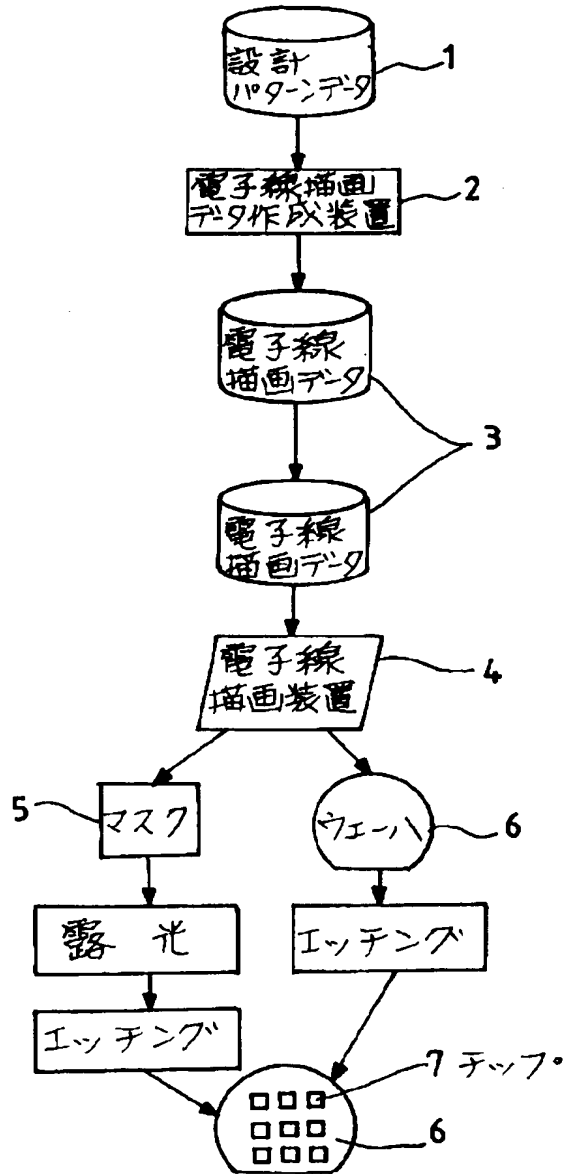
【図 6】

【図 6】



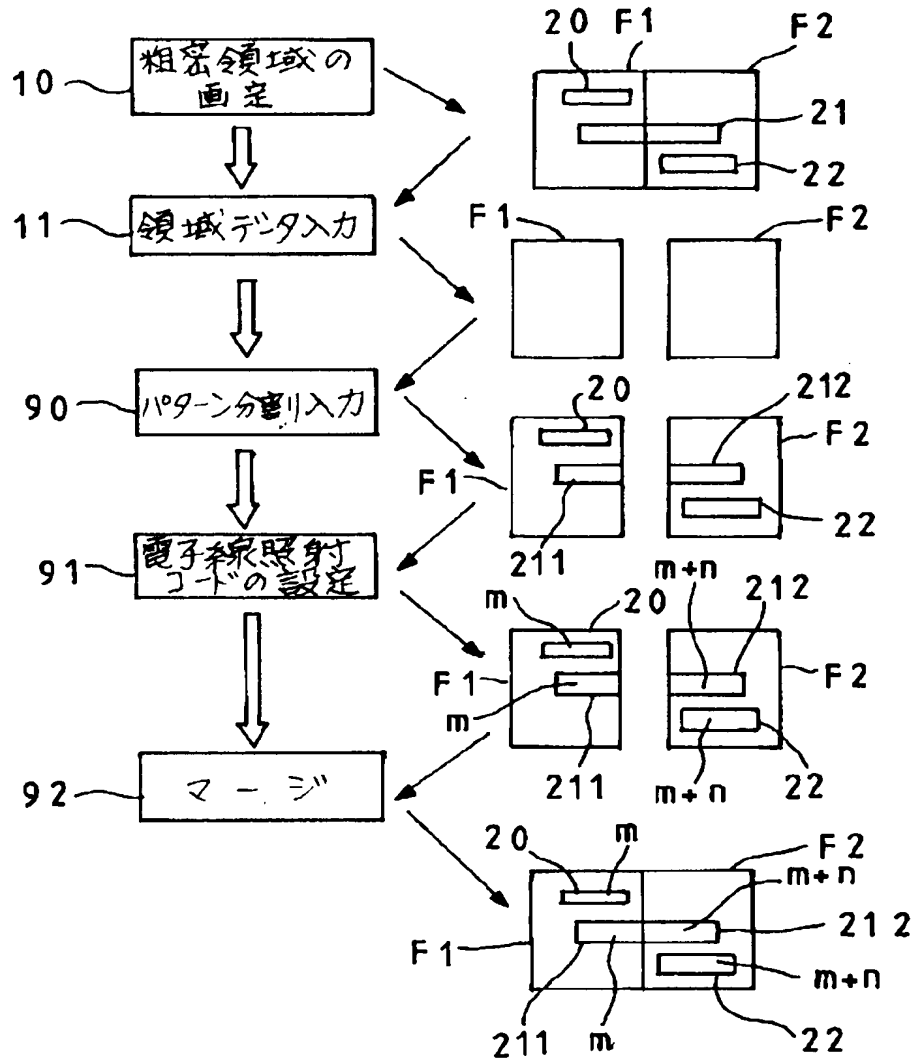
【図 7】

【図 7】



【図 8】

【図 8】



フロントページの続き

(72) 発明者 築添 明
 東京都青梅市今井2326番地 株式会社日立
 製作所デバイス開発センタ内

(72) 発明者 加藤 浩
 東京都青梅市今井2326番地 株式会社日立
 製作所デバイス開発センタ内

(72) 発明者 島田 豊
 神奈川県秦野市堀山下1番地 日立コンピ
 ュータエンジニアリング株式会社内